

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097471

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H01L 21/60  
H01L 21/60  
H01L 21/3205

(21)Application number : 10-200044

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.07.1998

(72)Inventor : WATABE TAKAYOSHI  
SHIGI HIDETAKA  
KASUKABE SUSUMU  
MORI TERUTAKA

(30)Priority

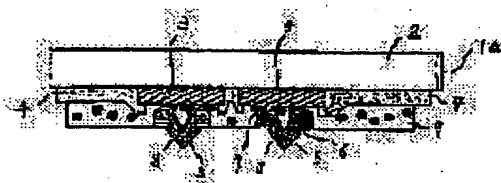
Priority number : 09189660 Priority date : 15.07.1997 Priority country : JP

## (54) SEMICONDUCTOR DEVICE, ITS MOUNTING STRUCTURE BODY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high density mounting without generating conduction defect during connection to a substrate, by joining each of a plurality of projection electrodes of a pyramid shape such as a square pyramid shape on each pad electrode arranged on a semiconductor chip.

SOLUTION: A projection electrode 5 has a pyramid shape such as a square pyramid whose one side of a bottom surface is 10 to 60  $\mu$ m, for example, and tip is sharpened to correspond to high density mounting. A matrix is a hard plating film 6 such as Ni, a plating film 7 such as gold is formed in a surface in opposition to a pad electrode 3, and a plating film 8 such as gold is formed in a surface connected to a terminal formed in a substrate. The projection electrode 5 is connected to the pad electrode 3 by thermocompression with an anisotropic conductive sheet 9 interposed therebetween. The projection electrode 5 is patterned by photolithography to a mold, and position and size thereof are decided highly precisely. As a result, high density mounting is realized without generating conduction defects during connection to a substrate eliminating dispersion in height.



## LEGAL STATUS

[Date of request for examination] 29.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

# 半導体デバイスおよびその実装構造体並びにその製造方法

特開平 1 1 - 9 7 4 7 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97471

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

21/3205

識別記号

3 1 1

F I

H 0 1 L 21/92

21/60

21/88

21/92

6 0 2 G

3 1 1 Q

T

6 0 3 A

6 0 4 G

審査請求 未請求 請求項の数22 O L (全 11 頁)

(21) 出願番号

特願平10-200044

(22) 出願日

平成10年(1998) 7月15日

(31) 優先権主張番号

特願平9-189680

(32) 優先日

平 9 (1997) 7 月15日

(33) 優先権主張国

日本 (J P)

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者

渡部 隆好

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内

(72) 発明者

志備 英孝

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内

(72) 発明者

春日部 進

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所生産技術研究所内

(74) 代理人

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】

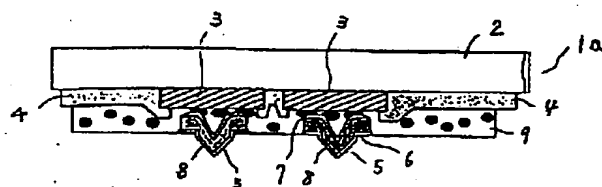
半導体デバイスおよびその実装構造体並びにその製造方法

(57) 【要約】

【課題】 基板との接続時に導通不良を発生させることなく、高密度実装を容易に、且つ低コストで可能にした半導体デバイスおよびその実装構造体並びにその製造方法を提供することになる。

【解決手段】 本発明は、角錐形状の突起電極 5 を、半導体チップ 2 上に配列された各パッド電極 3 上に接合して構成したことを特徴とする半導体デバイスおよびその実装構造体並びにその製造方法である。

図 1



【特許請求の範囲】

【請求項 1】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に接合して構成したことを特徴とする半導体デバイス。

【請求項 2】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成したことを特徴とする半導体デバイス。

【請求項 3】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成したことを特徴とする半導体デバイス。

【請求項 4】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成したことを特徴とする半導体デバイス。

【請求項 5】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極と電気的に接続された再配線金属部上に接合して構成したことを特徴とする半導体デバイス。

【請求項 6】前記各突起電極の母材を、硬質の Ni で構成したことを特徴とする請求項 1 ないし 5 いずれかに記載の半導体デバイス。

【請求項 7】前記各突起電極の母材を、軟質の Cu で構成したことを特徴とする請求項 1 ないし 5 いずれかに記載の半導体デバイス。

【請求項 8】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 9】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 10】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 11】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 12】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板

上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 13】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 14】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 15】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 16】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 17】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 18】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 19】複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体。

【請求項 20】前記半導体デバイスにおける各突起電極の母材は、硬質の Ni であることを特徴とする請求項 8 ないし 19 いずれかに記載の半導体デバイスの実装構造体。

【請求項 21】前記半導体デバイスにおける各突起電極

の母材は、軟質のCuであることを特徴とする請求項 8 ないし 1 9 いずれかに記載の半導体デバイスの実装構造体。

【請求項 2 2】特定の結晶配向面を有する基材上に半導体チップ上に配列された複数のパッド電極に対応させて角錐形状の穴をフォトリソエッチングによって形成する角錐形状の穴形成工程と、

該角錐形状の穴形成工程で形成された各角錐形状の穴に応じた有機材料からなるパターンを前記基材上に形成するパターン形成工程と、

前記角錐形状の穴形成工程で形成された各角錐形状の穴内および前記パターン形成工程で形成された各パターン内に導電材を充填して前記有機材料からなるパターンを取り除いて角錐形状の突起電極を形成する導電材充填工程と、

該導電材充填工程で形成された各角錐形状の突起電極と半導体チップ上に配列された各パッド電極とを接合する接合工程と、

該接合工程で半導体チップ上に配列された各パッド電極に接合された各角錐形状の突起電極を前記基材から分離する分離工程とを有することを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップの実装技術、特に半導体チップ上に高密度に突起電極である角錐形状を形成して基板に実装できるようにした半導体デバイスおよびその実装構造体並びにその製造方法に関する。

【0002】

【従来の技術】マイクロコンピュータなどの半導体素子においては、集積回路の多機能化、高密度化がますます増大し、外部回路との接続を行う端子の数が急速に増大し、また、複雑に成ってきている。そのため半導体チップの周辺に設けたワイヤボンディングを接続して外部回路との接続を行うワイヤボンディング方式は、既に限界に達している。また、ワイヤボンディング方式は、内部領域の配線を周辺部のボンディングパッドまで引き回すので配線長が長くなり、信号伝達速度が遅延する欠点があるため、高速動作が要求される論理LSIの実装方式としては、不向きである。このような理由から、内部接続領域を削減するかが鍵になり、この点、接続領域をチップ上に限定することが出来るフリップチップ接続が有力な接続技術として注目されている。この、フリップチップ方式は、チップの周辺のみならず、内部領域にも端子を設けることが出来るので、チップの多ピン化を促進することが出来る利点がある。また、フリップチップ方式はワイヤボンディング方式に比べてチップ上の配線長を短くすることが出来るので、論理LSIの高速化を促進できる利点がある。

【0003】そこで、従来のフリップチップ方式でチップ上に突起電極を形成する方法としては、特開平 6 - 2 6 8 2 0 1 号公報に記載されている方法が知られている。

05 【0004】

【発明が解決しようとする課題】上記従来のフリップチップ方式でチップ上に突起電極を形成する方法は、半導体チップに切り出した状態でホトリソ工程、多層金属膜の成膜工程、さらに、半田を溶融させるための熱処理工程など、チップ自体が過酷な条件下に更されてしまうことになる。また、工程完了までの時間が長く、これでは、切り出した状態で当初良品チップであったものがその過酷な条件にて不良になったり、作業ミスにより歩留まりが低下してしまう課題がある。また、そのような工程を行うには、装置上、作業性、経済性等の理由によりコストが高くなるという課題を有していた。即ち、ウエハより切り出した半導体チップ上に突起電極を形成する方法において、従来技術では、良品の半導体チップを過酷な条件に何回も行う工程が施されてしまい、さらに

20 は、工程完了を長く、製造工程が複雑になるという課題がある。このことにより、歩留まりを低下してしまう。また、従来技術による形成方法で半田溶融して形成した場合は、その高さバラツキが大きく基板との接続時に導通不良となるという大きな課題を有していた。

25 【0005】本発明の目的は、上記課題を解決すべく、基板との接続時に導通不良を発生させることなく、高密度実装を可能にした半導体デバイスおよびその実装構造体を提供することにある。

30 【0006】また、本発明の他の目的は、基板との接続時に導通不良を発生させることなく、高密度実装を容易に、且つ低コストで可能にした半導体デバイスおよびその実装構造体を提供することにある。

35 【0007】また、本発明の他の目的は、製造工程を簡略化して、新規な突起電極を半導体チップのパッド電極に接合して、低コストの半導体デバイスを製造することができるようにした半導体デバイスの製造方法を提供することにある。

40 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明は、複数の四角錐等の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に接合して構成したことを特徴とする半導体デバイスである。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成したことを特徴とする半導体デバイスである。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成したことを特徴とする半導体デバイスである。また、本発明は、複数の四角錐等の角錐形状の突

起電極の各々を、半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成したことを特徴とする半導体デバイスである。

【0009】また、本発明は、前記半導体デバイスにおいて、前記各突起電極の母材を硬質のNiで構成したことを特徴とする。また、本発明は、前記半導体デバイスにおいて、前記各突起電極の母材が軟質のCuで構成したことを特徴とする。

【0010】また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合して実装することを特徴とする半導体デバイスの実装構造体である。

【0011】また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体である。

【0012】また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した

半導体デバイスについて、前記各突起電極を基板上に形成された各端子にはんだ接合して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に異方性導電フィルムを介して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体である。

【0013】また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体である。また、本発明は、複数の四角錐等の角錐形状の突起電極の各々を半導体チップ上に配列された各パッド電極上に熱圧着により合金化して接合して構成した半導体デバイスについて、前記各突起電極を基板上に形成された各端子に接合し、前記半導体デバイスと基板との間を接着剤にて接着して実装することを特徴とする半導体デバイスの実装構造体である。

【0014】また、本発明は、前記半導体デバイスの実装構造体において、前記半導体デバイスにおける各突起電極の母材は、硬質のNiであることを特徴とする。また、本発明は、前記半導体デバイスの実装構造体において、前記半導体デバイスにおける各突起電極の母材は、軟質のCuであることを特徴とする。

【0015】また、本発明は、特定の結晶配向面を有する基材上に半導体チップ上に配列された複数のパッド電極に対応させて四角錐等の角錐形状の穴をフォトリソエッチングによって形成する角錐形状の穴形成工程と、該角錐形状の穴形成工程で形成された各角錐形状の穴に応じた有機材料からなるパターンを前記基材上に形成するパターン形成工程と、前記角錐形状の穴形成工程で形成された各角錐形状の穴内および前記パターン形成工程で形成された各パターン内に導電材を充填して前記有機材料からなるパターンを取り除いて角錐形状の突起電極を形成する導電材充填工程と、該導電材充填工程で形成された各角錐形状の突起電極と半導体チップ上に配列された各パッド電極とを接合する接合工程と、該接合工程で半導体チップ上に配列された各パッド電極に接合された各角錐形状の突起電極を前記基材から分離する分離工程

とを有することを特徴とする半導体デバイスの製造方法である。

【0016】また、本発明は、半導体チップ上に形成する突起電極を、四角錐等の角錐形状を有するものである。これは、半導体チップ上のパッド電極と反転したパターンを別の特定の結晶配向面を有する基材上に形成後、半導体チップ上のパッド電極に転写することにより外部との電気的な接続をとるための四角錐等の角錐形状を有する突起電極を形成する。これにより、良品の半導体チップを過酷な条件に更されることなく製造工程を簡略でき、低コストが図られる。また、本発明は、特定の結晶配向面を有する基材として、〈100〉面の結晶配向を有するシリコン基板であることを特徴とする。以上説明したように、前記構成により、高さのバラツキをなくして基板との接続時に導通不良を発生させることなく、高密度実装を可能にする半導体デバイスを得ることが可能となる。

【0017】また、前記構成により、高さのバラツキをなくして基板との接続時に導通不良を発生させることなく、高密度実装を容易に、且つ低コストで可能にした半導体デバイスの実装構造体を実現することが可能となる。また、前記構成により、製造工程を簡略化して、新規な突起電極を半導体チップのパッド電極に接合して、低コストの半導体デバイスを製造することができる。

【0018】

【発明の実施の形態】本発明に係る実施の形態について、図を用いて説明する。

【0019】まず、プリント基板等の基板に高精度実装が可能になった半導体デバイスの第1の実施の形態1aについて図1～図3を用いて説明する。図1は、プリント基板等の基板に高精度実装が可能になった半導体デバイスの第1の実施の形態を示す断面図である。1aは、半導体デバイスの第1の実施の形態を示す。2は、半導体チップである。3は、半導体チップ2上に多数2次元に配列されて形成されたパッド電極、4は、半導体チップ2上にパッド電極3を露出させて被覆された保護膜を示す。5は、上記半導体チップ2をプリント基板等の基板21に高精度実装するために、パッド電極3上に形成された突起電極を示す。9は、パッド電極3と突起電極5とを導電接続するための異方性導電シートである。突起電極5は、高密度実装（0.2mm以下の例えば0.13mmまたは0.1mm、更に0.1mm以下のピッチ）にも対応可能なように、底面の一辺が例えば10～60μmで先端を尖らせた四角錐等の角錐形状を有し、母体が硬質のNi等のめっき膜6で、パッド電極3に対向する表面に金等のめっき膜7を形成し、基板21に形成された端子22と接続される表面に金等のめっき膜8を形成している。当然、四角錐等の角錐形状として、底面の一辺を60μm以上に形成することは可能である。この突起電極5は、後述するように、高密度に、しかも

寸法（特に高さ）のバラツキもなく、製造することが可能である。そして、突起電極5は、半導体チップ2上に形成されたパッド電極3と異方性導電シート9を挟んで200℃～300℃程度の熱圧着により金属同士が接合されて接続される。なお、四角錐形状の突起電極5は、型材に対してフォトリソグラフィによりパターンニングされて形成されるので、位置および大きさが高精度に決められ、その結果、半導体チップ2上に形成されたパッド電極3に対応して、高密度に、しかも寸法（特に高さ）のバラツキもなく、配設されることになる。

【0020】半導体デバイス1aを構成する突起電極5が実装されるプリント基板等の基板21上に形成された端子22は、配線23と接続される。そして、この配線23は、基板内を延ばされて他の半導体デバイスや他の回路と接続されることになる。また、基板21上に形成された端子22は、配線と同じ低抵抗のCr等の材料で形成される。なお、Cr等の材料の表面に、酸化されにくいNi等めっき膜や、更にAu等のめっき膜を形成してもよい。

【0021】半導体デバイス1aを構成する突起電極5と基板21上に形成された端子22とは、図2に示すように熱圧着によって接合されたり、またははんだ付けによって接合されたりして実装される。更に、図3に示すように、基板21の表面と半導体デバイス1aの異方性導電シート9との間は、接着剤または接着シート25によって接着され、半導体デバイス1aは、突起電極5と端子22との間において導電接合された状態で、基板21上に強固に実装されることになる。

【0022】次に、プリント基板等の基板に高精度実装が可能になった半導体デバイスの第2の実施の形態1b、1cについて図4～図6を用いて説明する。図4は、プリント基板等の基板に高精度実装が可能になった半導体デバイスの第2の実施の形態を示す断面図である。1b、1cは、半導体デバイスの第2の実施の形態を示す。図4に示す半導体デバイスの第2の実施の形態1b、1cにおいて、図1に示す半導体デバイスの第1の実施の形態1aとの相違点は、突起電極5と半導体チップ2上に形成されたパッド電極3との接合の仕方にある。半導体デバイスの第1の実施の形態1aでは、突起電極5とパッド電極3とを異方性導電シート9を挟んで熱圧着によって接合したが、半導体デバイスの第2の実施の形態1b、1cでは、突起電極5とパッド電極3とを熱圧着して金とスズとの合金10により金属結合するものである。この第2の実施の形態1b、1cにおいても、第1の実施の形態1aと同様に、四角錐等の角錐形状の突起電極5は、半導体チップ2上に形成されたパッド電極3に対応して、高密度に、しかも寸法（特に高さ）のバラツキもなく、配設されることになる。

【0023】図4に示すように構成された半導体デバイス1b、1cをプリント基板等の基板21に実装する方

法は、図2および図3に示すのと同様に、図5および図6に示す。半導体デバイス1aを構成する突起電極5と基板21上に形成された端子22とは、図5に示すように熱圧着によって接合されたり、またははんだ付けによって接合されたりして実装される。更に、図6に示すように、基板21の表面と半導体デバイス1aのパッド電極3および保護膜4との間は、接着剤または接着シート25によって接着され、半導体デバイス1aは、突起電極5と端子22との間において導電接合された状態で、基板21上に強固に実装されることになる。

【0024】以上説明したように、上記第1および第2の実施の形態によれば、半導体チップ2に形成された多数のパッド電極3と基板21上に形成された多数の端子22との間を多数のはんだボールで接合するのに比べて、多数のはんだボールを供給して並べる治具は不要となるとともに、多数のはんだボールの径のバラツキによって接合が不十分な箇所もなく、半導体チップ2に形成された多数のパッド電極3と基板21上に形成された多数の端子22との間において、全てに亘って均一で、高密度の実装を行うことができる。即ち、上記第1および第2の実施の形態によれば、高さのバラツキもなく、多数の接点を高密度に、即ち0.2mm以下の例えば0.13mmまたは0.1mm、更に0.1mm以下のピッチにも対応できるように、配置できる高精度実装、即ち高密度実装が、治具等を用いることなく、低コストで実現することができる。

【0025】次に、先端を尖らせた四角錐等の角錐形状を有する突起電極5を形成し、この突起電極5を半導体チップ2に形成されたパッド電極3上に接合して半導体デバイスを製造する製造方法について、図7、図8、図9を用いて説明する。図7に示す第1の実施例について説明する。まず、四角錐等の角錐形状を形成する方法について説明する。即ち、まず、〈100〉面の結晶配向を有するシリコン基材32の両面に熱酸化により二酸化シリコン膜31を0.5μm程度形成して、二酸化シリコン酸化膜31を表面に施された特定の結晶配向面を有したシリコンウエハ基板を得る。次に、図7(a)に示すように、シリコン基板に対して、熱酸化膜31をフォトリソエッチングにより半導体チップ2のパッド電極3と反転したパターンに加工する。次に、図7(b)に示すように、シリコン基板上の熱酸化膜31をマスクとしてシリコン基板をアルカリ性のエッチング液を用いて異方性エッチングし、〈111〉面に囲まれた四角錐のエッチング穴(四角錐形状)36をシリコン基板上に形成する。即ち、シリコン基板上には、異方性エッチングに

より、〈111〉面に囲まれた四角錐のエッチング穴(四角錐形状)36が形成される。次に、該シリコン基板の熱酸化膜を除去し、新たにシリコン基板の〈111〉面を、ウェット酸素中での熱酸化により、二酸化シリコン膜を、0.5μm程度形成する。そして、図7(c)に示すように、シリコン基板面に、めっき給電膜(Cr膜)35、およびめっき給電膜(Ni膜)34からなる多層金属膜を形成し、さらに、四角錐を有する凹状パターンの先端部金属となるめっき膜を形成するための有機材料からなるパターン33を形成する。次に、図7(d)に示すように、有機材料からなるパターン33の開口部に電気めっきにより硬質のNi又は、軟質のCu等のめっき膜6を充填形成する。続けて、上記各工程を終えた基板を洗浄、乾燥後、硬質のNi等のめっき膜6のみに酸化防止、並びに接続確保をするために、図7(e)に示すように、金めっき膜7を施す。その後、図7(f)に示すように、レジスト剥離液を用いて有機材料からなるパターン33を剥離する。以上により、シリコン基材面上に四角錐形状を有する突起電極5を高精度に製造することができた。

【0026】次に、半導体チップ2のパッド電極3とシリコンウエハ基材面に形成された四角錐等の角錐形状の突起電極5とを接続する方法について説明する。即ち、図7(g)に示すように、良品の半導体チップ2上に配列された多数のパッド電極3とシリコンウエハ基材面に形成された多数の四角錐形状の突起電極5を異方性導電シート9を介して電極同士を位置合わせした後、熱圧着して両者の電極を異方性導電シート9に存在する導電粒子を挟み込むように接合して接続する。次に、四角錐を有する凹状パターンを形成したシリコン基材面にめっき給電膜である多層金属膜35、34のうちシリコン基材面に接する最下層膜のクロム膜35を、他の金属を侵さない選択性のあるエッチング液により溶解除去させ、又は、34のうちシリコン基材面に接する熱酸化膜31を他の金属膜を侵さない選択性のあるエッチング液により溶解除去させ、次にクロム、Cu膜をエッチングし、図7(h)に示すように、シリコン基材面より四角錐等の角錐形状の突起電極5を半導体チップに分離転写する。続けて、洗浄後、分離された四角錐等の角錐形状の突起電極(凸パターン)5の表面に外部との良好な電氣的な接続をとるため、図7(i)に示すように、金めっき膜8を形成する。なお、クロムエッチング液、熱酸化膜エッチング液組成、条件を下記に示す。

【0027】

クロム膜エッチング液組成及び条件

塩化アルミニウム6結晶水	.....	250g/リットル
塩	酸	..... 300mlリットル/リットル
水		..... 1リットルにする量
条件	液温	: 50℃

時間：全てのクロムが溶解する時間

熱酸化膜エッチング液組成及び条件

50%-フッ酸 ..... 1  
40%-フッ化アンモニウム ..... 7 体積比

条件 液温：室温

時間：全ての熱酸化膜が溶解する時間

以上のように、良品の半導体チップ2上に多数配列された各パッド電極3上に新規な四角錐等の角錐形状を有した外部との接続を取るための突起電極5が高精度に形成することができた。これにより、半導体チップ2についての多数の接点を配置できる高精度実装を、高さバラツキも無く高精度に、しかも容易に実行することができ、低コスト化が可能となった。即ち、第1の実施例に示す製造方法により、極めて高精度実装、即ち高密度実装が可能となった。また、多数の角錐形状の突起電極5の各々を半導体チップ2上の各パッド電極3に分離転写した後、シリコン等の基材32に形成された四角錐等の角錐形状の穴36を壊すことがないので、シリコン等の基材32を繰返し何回でも使用可能となり、低コスト化が図られる。

【0028】次に図8に示す第2の実施例について説明する。図8に示す第2の実施例における図8(a)～(d)まで示す製造工程は、図7に示す第1の実施例における図7(a)～(d)まで示す製造工程と同様である。そして、Niめっき膜6を充填した後、基板を洗浄し、その後図8(e)に示すように、Niめっき膜6のみにSnめっき膜11を施す。その後、図8(f)に示すように、レジスト剥離液を用いて有機材料からなるパターン33を剥離する。以上により、シリコン基材面上に四角錐等の角錐形状を有する突起電極5を高精度に製造することができる。

【0029】次に、半導体チップ2のパッド電極3とシリコンウエハ基材面に形成された四角錐等の角錐形状の突起電極5とを接続する方法について説明する。即ち、図8(g)に示すように、半導体チップ側のコンタクト孔(半導体チップ2のパッド電極3上)にワイヤボンディング法を用いてあらかじめ金のスタンドバンプ12を形成する。次に、図8(h)に示すように、良品の半導体チップ2の多数のパッド電極3とシリコン基材面に形成された多数の四角錐等の角錐形状の突起電極5とを、電極同士を位置合わせした後、熱圧着することにより、温度を230℃以上とするとスズめっき膜11は溶融して金のスタンドバンプ12と反応することによって金のスタンドバンプ12とスズめっき膜11との合金を形成して金属結合し、接合される。その後、第1の実施例と同様に四角錐等の角錐形状を有する凹状パターンを形成したシリコン基材面にめっき給電膜である多層金属膜35、34のうちシリコン基材面に接する最下層膜のクロム膜35を、他の金属を侵さない選択性のあるエッチング液により溶解除去させ、シリコン基材面より四角錐形

状の突起電極5を半導体チップに分離転写する。続けて、洗浄後、分離された角錐形状の突起電極(凸パターン)5の表面に外部との良好な電氣的な接続をとるため、図8(i)に示すように、金めっき膜8を形成する。ここでは、金とスズとの合金を形成し接合したもので説明したがこれに限ったことなく、高温はんだ等の接続方法もあり得る。

【0030】以上のようにして、良品の半導体チップ上に新規な角錐形状を有した外部との接続を取るための突起電極5が形成された。このように半導体デバイス1bを製造することにより、半導体チップ2についての多数の接点を配置できる高精度実装を、高さバラツキも無く高精度に、しかも容易に実現することができ、低コスト化が可能となった。即ち、第2の実施例に示す製造方法でも、第1の実施例の製造方法と同様に、極めて高精度実装、即ち高密度実装が可能となった。また、多数の角錐形状の突起電極5の各々を半導体チップ2上の各パッド電極3に分離転写した後、シリコン等の基材32に形成された四角錐等の角錐形状の穴36を壊すことがないので、シリコン等の基材32を繰返し何回でも使用可能となり、低コスト化が図られる。

【0031】次に図9に示す第3の実施例について説明する。図9に示す第3の実施例における図9(a)～(f)まで示す製造工程は、図8に示す第2の実施例における図8(a)～(f)まで示す製造工程と同様である。即ち、硬質のNi等のめっき膜6を充填した後、基板を洗浄し、その後図9(e)に示すように、硬質のNi等のめっき膜6のみにSnめっき膜11を施す。その後、図9(f)に示すように、レジスト剥離液を用いて有機材料からなるパターン33を剥離する。以上により、実施例2と同様に四角錐等の角錐形状を有する突起電極5を形成する。四角錐等の角錐形状を有する突起電極5は、シリコン基材面上に高精度に製造することができる。

【0032】次に、半導体チップ2のパッド電極3とシリコンウエハ基材面に形成された四角錐形状の突起電極5とを接続する方法について説明する。即ち、半導体チップ側のコンタクト孔(半導体チップ2のパッド電極3)の表面は、一般的に合金アルミニウムできている。そこで、図9(g)に示すように、コンタクト孔(パッド電極3)の表面に、めっき技術により無電解ニッケルめっき膜13を施す。続けて、金めっき膜14を施す。つまり、半導体チップ2のパッド電極3の表面を、ニッケル/金からなる表面に改質してやる。その後、図9



(h) に示すように、良品の半導体チップ 2 の多数のバッド電極 3 とシリコン基材面に形成された多数の四角錐等の角錐形状の突起電極 5 とを、電極同士を位置合わせした後、熱圧着し、温度を 230℃ 以上にするスズめっき膜 11 が熔融し、金めっき膜 14 と反応して金とスズとの合金を形成して金属結合し、接合される。その後、第 1 および第 2 の実施例と同様に四角錐を有する凹状パターンを形成したシリコン基材面にめっき給電膜である多層金属膜 35、34 のうちシリコン基材面に接する最下層膜のクロム膜 35 を、他の金属を侵さない選択性のあるエッチング液により溶解除去させ、シリコン基材面より角錐形状の突起電極 5 を半導体チップに分離転写する。続けて、洗浄後、分離された角錐形状の突起電極 (凸パターン) 5 の表面に外部との良好な電氣的な接続をとるため、図 9 (i) に示すように、金めっき膜 8 を形成する。ここでは、金とスズとの合金を形成し接合したもので説明したがこれに限ったことではなく、高温はんだ等の接続方法もあり得る。

【0033】 以上のようにして、良品の半導体チップ上に新規な四角錐等の角錐形状を有した外部との接続を取るための突起電極 5 が形成された。このように半導体デバイス 1c を製造することにより、半導体チップ 2 についての多数の接点を配置できる高精度実装を、高さバラツキも無く高精度に、しかも容易に実現することができ、低コスト化が可能となった。即ち、第 3 の実施例に示す製造方法でも、第 1 および第 2 の実施例の製造方法と同様に、極めて高精度実装、即ち高密度実装が可能となった。

【0034】 なお、本発明は、上記実施例に限らず、複数の角錐形状の突起電極の各々を、半導体チップ上に配列された各バッド電極と電氣的に接続された他の接続部、例えば電極ピッチを異ならしめた所謂再配線金属部上に接合することも、同様の技術思想を用いてできるものである。

【0035】

【発明の効果】 本発明によれば、高さのバラツキをなくして基板との接続時に導通不良を発生させることなく、高密度実装を可能にする半導体デバイスを得ることが可能となる効果を奏する。また、本発明によれば、高さのバラツキをなくして基板との接続時に導通不良を発生させることなく、高密度実装を容易に、且つ低コストで可能にした半導体デバイスの実装構造体を実現することが可能となる効果を奏する。また、本発明によれば、製造工程を簡略化して、新規な突起電極を半導体チップのバッド電極に接合して、低コストの半導体デバイスを製造することができる効果を奏する。即ち、外部との電氣的な接続を取るための四角錐等の角錐形状を有する新規な

突起電極を、半導体チップ上に配列された高密度のバッド電極上に高精度に接合することが可能となり、工程短縮が図られ、量産性を向上することが可能となる。特に四角錐等の角錐形状を有する新規な突起電極を、半導体チップ上に配列された高密度のバッド電極上に高精度に接合する方法では、良品の半導体チップを過酷な条件に更されることなく、製造工程を簡略して低コストで製造することが可能となる。

【図面の簡単な説明】

【図 1】 本発明に係る半導体デバイスの第 1 の実施の形態を示す断面図である。

【図 2】 本発明に係る半導体デバイスの第 1 の実施の形態を基板に実装する一実施の形態を示す断面図である。

【図 3】 本発明に係る半導体デバイスの第 1 の実施の形態を基板に実装する他の一実施の形態を示す断面図である。

【図 4】 本発明に係る半導体デバイスの第 2 の実施の形態を示す断面図である。

【図 5】 本発明に係る半導体デバイスの第 2 の実施の形態を基板に実装する一実施の形態を示す断面図である。

【図 6】 本発明に係る半導体デバイスの第 2 の実施の形態を基板に実装する他の一実施の形態を示す断面図である。

【図 7】 本発明に係る半導体デバイスの第 1 の実施の形態を製造するための第 1 の実施例を示す工程フローを示す図である。

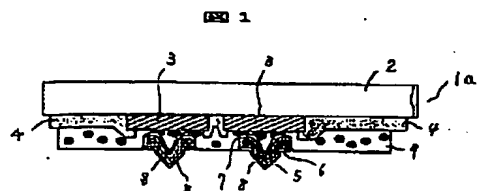
【図 8】 本発明に係る半導体デバイスの第 2 の実施の形態を製造するための第 2 の実施例を示す工程フローを示す図である。

【図 9】 本発明に係る半導体デバイスの第 2 の実施の形態を製造するための第 3 の実施例を示す工程フローを示す図である。

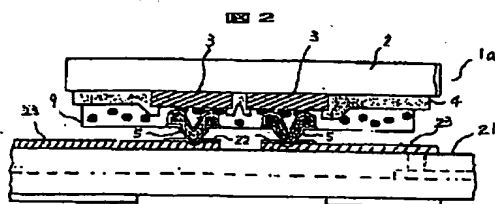
【符号の説明】

1、1a、1b、1c…半導体デバイス、2…半導体チップ、3…バッド電極、4…保護膜、5…突起電極、6…硬質の Ni 又は、軟質の Cu 等のめっき膜、7、8…Auめっき膜、9…異方性導電シート、10…金とスズとの合金、21…基板、22…端子、23…配線、31…熱酸化膜、32…シリコン基材、33…有機材料のパターン、34…めっき給電膜 (Ni 膜)、35…めっき給電膜 (Cr 膜)、36…四角錐のエッチング穴、11…Snめっき膜、12…金のスタンドバンブ、13、14…Ni/Auめっき膜。

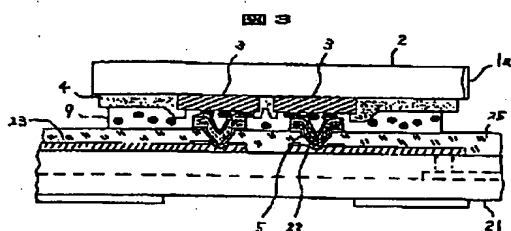
【図1】



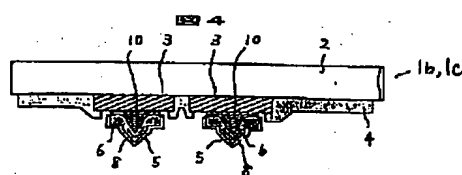
【図2】



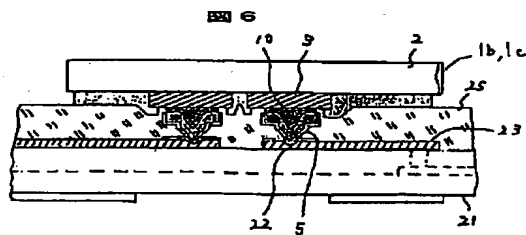
【図3】



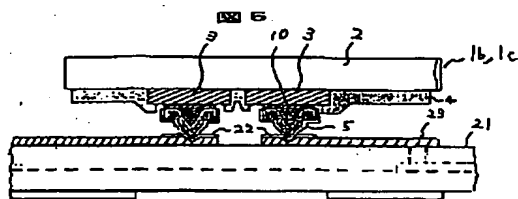
【図4】



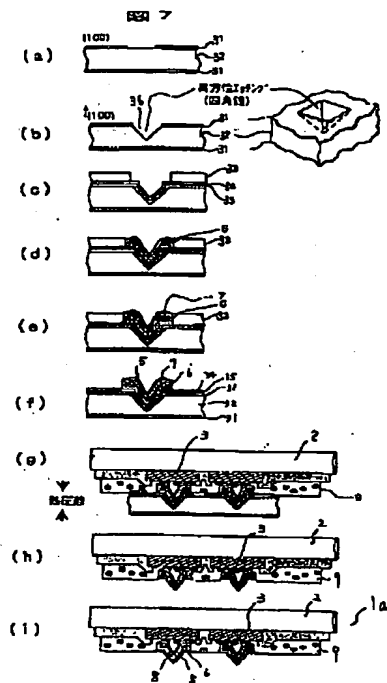
【図6】



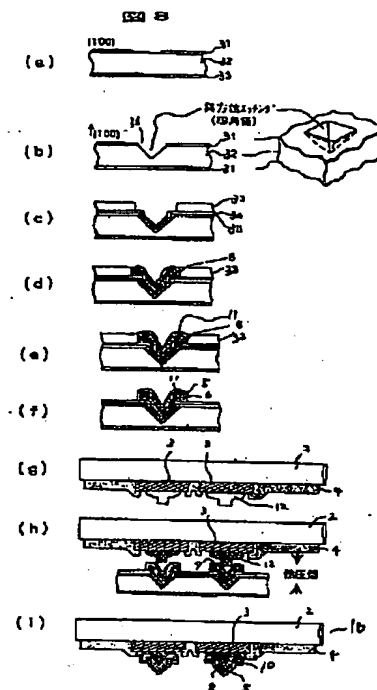
【図5】



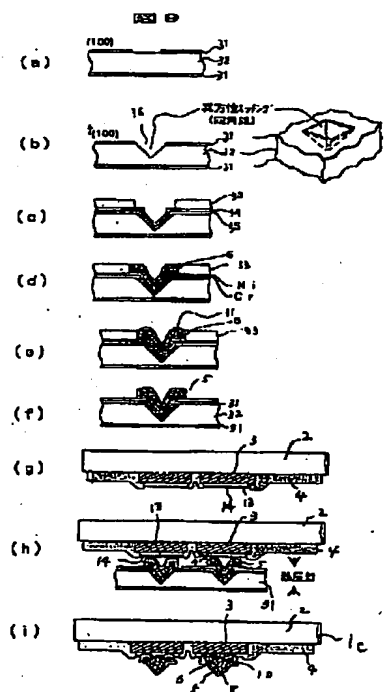
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 森 照享

神奈川県横浜市戸塚区吉田町292番地株式  
会社日立製作所生産技術研究所内

05